

## PATENT ABSTRACTS OF JAPAN

(11)Publication number : 11-135801

(43)Date of publication of application : 21.05.1999

(51)Int.Cl.

H01L 29/786

H01L 21/336

H01L 27/08

(21)Application number : 10-135791

(71)Applicant : SEIKO EPSON CORP

(22)Date of filing : 18.05.1998

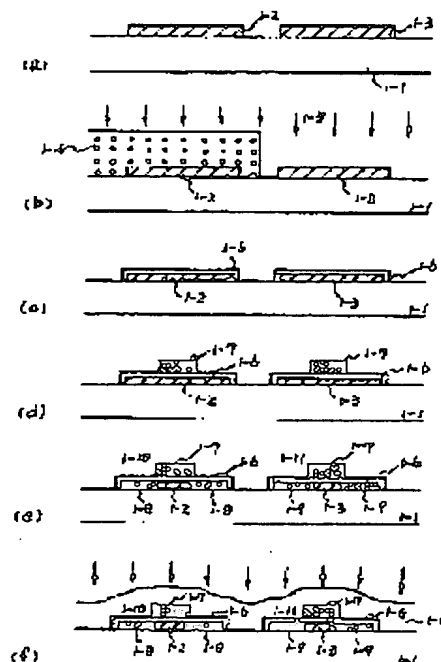
(72)Inventor : TAKENAKA SATOSHI

## (54) MANUFACTURE OF THIN-FILM TRANSISTOR

## (57)Abstract:

PROBLEM TO BE SOLVED: To suppress the large shift of a P-channel polycrystalline silicon thin-film transistor in the direction of enhancement by lightly doping P-type impurities in a region to become a channel only with respect to an N-channel polycrystalline silicon thin film.

SOLUTION: On an insulating transparent substrate 1-1, islands 1-2 and 1-3 of non-added polycrystalline silicon thin films are formed. By a resist mask 1-4, boron undergoes channel doping only in the island 1-3. After the resist mask 1-4 has been stripped off, gate oxide films 1-6 and gate electrodes 1-7 are formed. With the gate electrodes 1-7 as masks, boron-doped region 1-8 and phosphorus-doped regions 1-9 are formed. Thus, a P-channel polycrystalline silicon thin-film transistor 1-10 and an N-channel polycrystalline silicon thin-film transistor 1-11, where boron is channel doped lightly at the low concentration, are formed.



## LEGAL STATUS

[Date of request for examination] 25.05.1998

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number] 3183256

[Date of registration] 27.04.2001

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平11-135801

(43) 公開日 平成11年(1999) 5月21日

(51) Int.Cl.<sup>6</sup>  
H 0 1 L 29/786  
21/336  
27/08 3 3 1

F I  
H 0 1 L 29/78 6 1 7 V  
27/08 3 3 1 E  
29/78 6 1 3 A  
6 1 6 A  
6 2 7 E

審査請求 有 発明の数 1 O L (全 6 頁) 最終頁に続く

(21) 出願番号 特願平10-135791  
(62) 分割の表示 特願平10-126440の分割  
(22) 出願日 昭和62年(1987) 4月20日

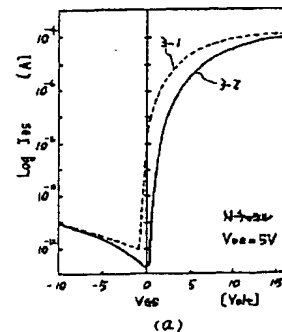
(71) 出願人 000002369  
セイコーエプソン株式会社  
東京都新宿区西新宿2丁目4番1号  
(72) 発明者 竹中 敏  
長野県諏訪市大和3丁目3番5号 セイコーエプソン株式会社内  
(74) 代理人 弁理士 鈴木 喜三郎 (外2名)

(54) 【発明の名称】 薄膜トランジスタの製造方法

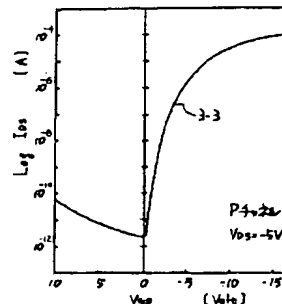
(57) 【要約】

【課題】 OFF電流が小さく高コントラストなアクティブマトリクス基板を実現する。

【解決手段】 Nチャネル多結晶シリコン薄膜トランジスタとPチャネル多結晶シリコン薄膜トランジスタを有する薄膜トランジスタの製造方法において、Nチャネル多結晶シリコン薄膜トランジスタのみのチャネルとなる領域にP型不純物をドーピングする工程を有することを特徴とする。



(a)



(b)

## 【特許請求の範囲】

【請求項 1】 絶縁性透明基板上に、多結晶シリコン薄膜と該多結晶シリコン薄膜を熱酸化させて形成されたゲート酸化膜とゲート電極と不純物拡散領域とで構成された N チャネル多結晶シリコン薄膜トランジスタと P チャネル多結晶シリコン薄膜トランジスタを形成する薄膜トランジスタの製造方法において、前記ゲート電極形成前に、前記 N チャネル多結晶シリコン薄膜トランジスタのみに選択的にボロンをチャネルドーピングする工程と、前記不純物拡散領域の活性化熱処理後に水素プラズマ処理工程あるいは水素イオン打込み工程あるいはプラズマ窒化膜形成工程とを有することを特徴とする薄膜トランジスタの製造方法。

## 【発明の詳細な説明】

## 【0001】

【発明の属する技術分野】本発明は、絶縁性透明基板上に形成されるアクティブマトリクスあるいはイメージセンサーの画素のスイッチング素子あるいは駆動用回路に用いられる CMOS (Complementary Metal-Oxide-Semiconductor) 型多結晶シリコン薄膜トランジスタにおいて、低駆動電圧で大電流が得られ、さらに両チャネルトランジスタのスレッシュホールド電圧 (以下  $V_{th}$  と記す) の絶対値が一致する CMOS 型多結晶シリコン薄膜トランジスタ及びその製造方法に関する。

## 【0002】

【従来の技術】多結晶シリコンにおいては、結晶粒界に存在するダングリングボンドなどの欠陥が、キャリアに対するトラップ準位あるいは障壁として働くとい一般的に考えられており (John Y. W. Seto, J. Appl. Phys., 46, 5247 (1975) 参照)、従って多結晶シリコン薄膜トランジスタの性能を向上させる為には、前記欠陥を低減させる必要がある。

(J. Appl. Phys., 53 (2), 1193

(1982) 参照) その目的で、水素による前記欠陥の終端化が行なわれており、その中でも代表的な方法が、水素プラズマ処理 (応用物理学会, 1986 年秋大会予稿集, 講演番号 27p-Q-5 あるいは, Mater. Res. Soc. Symp. Proc. Vol. 53, 419 (1986) 参照) あるいは水素イオン打込み法 (IEEE Electron-Device Letters, Vol. EDL-7, No. 11, November (1986), 597 ページ参照) あるいはプラズマ窒化膜の形成 (電子通信学会技術研究報告 SSD83-75, 23 ページ参照) などである。これらの方法を用いると、トランジスタ特性の大幅な特性改善がなされる。しかしながら、特性が向上する反面、N チャネルトランジスタがデプレッション方向に大きくシフトし、P チャネルトランジスタがエンハンスメント方向にわずかながらシフトするという  $V_{th}$  の異

常シフトの問題が生じる。この原因は、トランジスタがプラズマ中にさらされる事により、ゲート酸化膜中に正の固定電荷が形成されチャネル部が常に負に誘起されている為だと考えられている。(電子通信学会技術研究報告 SSD83-75, 23 ページ参照) 一方、水素プラズマ処理による  $V_{th}$  のシフト量が N チャネルトランジスタについてはマイナス 1V からマイナス 2V であるのに対し、P チャネルトランジスタについては、マイナス 0.1V 程度であり (発明者による実験結果) この現象についての原因は、まだわかっていない。

## 【0003】

【発明が解決しようとする課題】従来技術では、ゲート電極形成前に、ウエハ全面にわたってイオン打込み法により、ボロンをチャネルドーピングする方法と、多結晶シリコン薄膜として、ボロンドープされた多結晶シリコン薄膜を堆積させて用いるという 2 つの方法がある。しかしながら、前述のように水素プラズマあるいは水素イオン打込み法、あるいは、プラズマ窒化膜形成工程による  $V_{th}$  のシフト量が N チャネルと P チャネルとで異なる為、従来技術では、P チャネルトランジスタが、エンハンスメント方向にシフトしすぎてしまい、両チャネルの  $V_{th}$  の絶対値の値を等しくできなくなってしまう。

【0004】本発明は、このような水素プラズマ処理あるいは水素イオン打込み法あるいはプラズマ窒化膜形成工程による CMOS 型多結晶シリコン薄膜トランジスタの  $V_{th}$  の制御に関して、従来方法により生じた P チャネル多結晶シリコン薄膜トランジスタが、エンハンスメント方向へ大きくシフトするという問題点を解決し、 $V_{th}$  の絶対値が小さくてサブスレッシュホールド領域の立ち上がり急しゅんで、さらに P チャネル及び N チャネル共にその  $V_{th}$  の絶対値がほぼ等しい CMOS 型多結晶シリコン薄膜トランジスタを実現することを目的としている。

## 【0005】

【課題を解決するための手段】本発明の CMOS 型多結晶シリコン薄膜トランジスタ及びその製造方法は、絶縁性透明基板上に多結晶シリコン薄膜と該多結晶シリコン薄膜を熱酸化させて形成されたゲート酸化膜とゲート電極と不純物拡散領域とで構成された N チャネル多結晶シリコン薄膜トランジスタと P チャネル多結晶シリコン薄膜トランジスタとを有する CMOS 型多結晶シリコン薄膜トランジスタにおいて、前記ゲート電極形成前に、前記 N チャネル多結晶シリコン薄膜トランジスタのみに選択的にボロンをチャネルドーピングする工程と、前記不純物拡散領域の活性化熱処理後に水素プラズマ処理工程あるいは水素イオン打込み工程あるいはプラズマ窒化膜形成工程とを有することを特徴とする。

## 【0006】

【発明の実施の形態】実施例 1 を、図 1 により、工程図

に従って説明する。同図 (a) において、絶縁性透明基板 1-1 上に無添加多結晶シリコン薄膜の島 1-2 と 1-3 を形成する。前記無添加多結晶シリコン薄膜の島は、減圧 CVD など で 堆 積 さ せ ら れ、続い て フォトエッチングで形成される。次に同図 (b) に示すように、レジストマスク 1-4 を形成し、島 1-3 のみにボロンをチャネルドーピングする。このようにして N チャネル薄膜トランジスタにするべき島 1-3 のみを低濃度のボロンドープされた P 型多結晶シリコンにする。1-5 はボロンビームを示す。ただし  $V_{th}$  のシフト量が 1 ボルト程度で、抵抗率が低下しないくらいのチャネルドーパ打込み量に設定する必要がある、およそ  $10^{12} \text{ cm}^{-2}$  から  $10^{13} \text{ cm}^{-2}$  程度が適当である。その後レジストマスク 1-4 は剥離される。続いて同図 (c) で示すように熱酸によりゲート酸化膜 1-6 を形成する。同図 (d) と (e) は一般的な CMOS 工程である。1-7 はゲート電極であり、n 型多結晶シリコンが使われる。該ゲート電極 1-7 をマスクとしてボロンあるいはリンを必要とところにイオン打込みして、ボロンドープ領域 1-8 及び、リンドープ領域 1-9 を形成する。このようにして、P チャネル多結晶シリコン薄膜トランジスタ 1-10 及び、低濃度にボロンをチャネルドーピングされた N チャネル多結晶シリコン薄膜トランジスタ 1-11 が作製される。次に層間絶縁膜 1-12 を形成する。該層間絶縁膜は CVD 法 (減圧 CVD あるいは常圧 CVD) による  $\text{SiO}_2$  を用いて形成される。続いて前記ボロンドープ領域 1-8 及びリンドープ領域 1-9 の活性化熱処理を約  $1000^\circ\text{C}$  で行なう。この段階での TFT 特性は、P チャネル多結晶シリコン薄膜トランジスタ 1-10 は通常の特性であるが、低濃度にボロンをチャネルドーピングされた N チャネル多結晶シリコン薄膜トランジスタ 1-11 は、エンハンスメント方向にシフトしている。ここで水素プラズマ処理あるいは水素イオン打込み処理が行なわれる。同図 1-13 は、水素プラズマにより発生した反応性の高い水素ラジカル、あるいは水素イオンビームを示している。水素プラズマは平行平板型の一般的なプラズマ装置と水素ガスを用いることにより簡単に得ることができる。その後、コンタクトホール形成工程、続いて電極形成工程などそれらのデバイスに必要な工程へと続いてゆく。前記電極材料として、金属 (アルミニウムあるいはクロムなど) を用いる場合には、電極形成後に水素プラズマ処理あるいは水素イオン打込み処理を行なっても何ら問題はない。ただし、ITO (Indium Tin Oxide) あるいは  $\text{SnO}_2$  などの透明導電膜を前記電極材料に用いる場合は、該透明導電膜が還元作用を受けるため、水素プラズマ処理あるいは水素イオン打込み処理は電極形成前に行なわなければならない。

【0007】実施例 1 では、ゲート酸化膜形成前に選択チャネルドーピングする方法について説明したが、実施

例 2 では、ゲート酸化膜形成後に選択チャネルドーピングする方法について説明する。同図 (a) に示すように実施例 1 と同様な方法で絶縁性透明基板 2-1 上に無添加多結晶シリコン薄膜の島 2-2 と 2-3 を形成する。次に同図 (b) で示すように熱酸化によりゲート酸化膜 2-4 を形成する。続いて同図 (c) レジストマスク 2-5 を形成し、無添加多結晶シリコン薄膜の島 2-3 のみに、ボロンをチャネルドーピングする。このようにゲート酸化膜 2-4 を通して、N チャネル多結晶シリコン薄膜トランジスタにするべき島 2-3 のみを低濃度にボロンドープされた P 型多結晶シリコンにする。2-6 はボロンビームを示す。チャネルドーピング打込み量については実施例 1 のところで述べたのでここでは省略する。その後、レジストマスク 2-5 は剥離される。以後同図 (d), (e), (f) で示す工程は、実施例 1 のところで図 1 (d), (e), (f) に従って説明した事と同様なので、ここでは省略する。

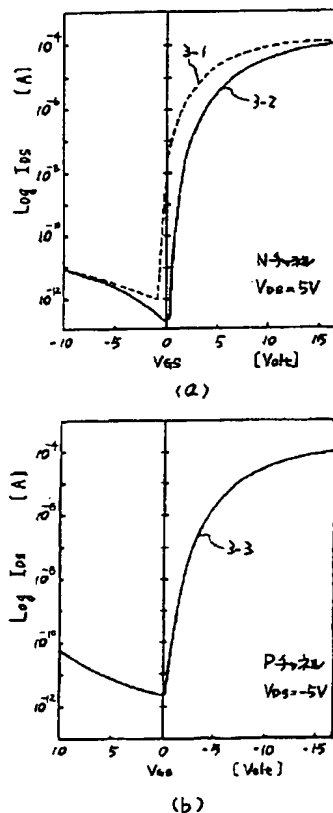
【0008】以上述べたように本発明によれば、従来の水素プラズマ処理で生じた、N チャネル多結晶シリコン薄膜トランジスタがデプレッション方向へ 1 V から 2 V 程度シフトするという異常シフトの問題を、N チャネル多結晶シリコン薄膜トランジスタのみのチャネル部にボロンを低濃度 ( $10^{12} \text{ cm}^{-2}$  から  $10^{13} \text{ cm}^{-2}$  程度) に選択チャネルドーピングしたので、エンハンスメント方向へ制御して解決することができる。従って、水素プラズマ処理あるいは水素イオン打込み処理あるいはプラズマ窒化膜形成による多結晶シリコンの欠陥の低減という長所を最大限に利用することが可能となった。つまり、サブスレッショルド領域の立ち上がりが急しゅんとなり、 $V_{th}$  の絶対値が低減され、しかも N チャネル、P チャネル共にその  $V_{th}$  の絶対値の大きさが一致するという優れた特性を有する。CMOS 型多結晶シリコン薄膜トランジスタの実現が可能となる。図 3 に CMOS 型多結晶シリコン薄膜トランジスタに対する本発明の効果を示す。図 3 (a) に N チャネル多結晶シリコン薄膜トランジスタに対する本発明の効果を示す。同図は発明者が実験して得たデータである。横軸はゲートとソース間電圧  $V_{gs}$  であり、縦軸はドレイン電流  $I_{ds}$  の対数である。測定はドレインとソース間の電圧  $V_{ds}$  を 5 V 一定にして行なった。同図において破線 3-1 の曲線が従来方法による結果であり、実線 3-2 の曲線が、ボロンを選択チャネルドーピングされた薄膜トランジスタのトランジスタ特性である。図 3 (b) には同様に P チャネル多結晶シリコン薄膜トランジスタのトランジスタ特性を示す。 $V_{ds}$  は -5 V である。P チャネル多結晶シリコン薄膜トランジスタは、チャネルドーピングはされていないので、 $V_{th}$  のシフト量は、問題とならない。これらの結果からわかるように、従来方法では、水素プラズマ処理あるいは水素イオン打込み処理あるいはプラズマ窒化膜形成など (以下まとめて水素処理と呼ぶ) による

Nチャネルのデプレッション方向への異常シフトを全面にボロンなチャネルドーピングという方向で行なっていたので、前記水素処理による異常シフトの小さいPチャネル多結晶シリコン薄膜トランジスタはエンハンスメント方向へ異常シフトしてしまった。本発明ではNチャネル多結晶シリコン薄膜トランジスタのみにボロンを選択チャネルドーピングするので、Nチャネルのみ $V_{th}$ がエンハンスメント方向に制御されることとなり、前記水素処理後には両チャネルの $V_{th}$ の絶対値のほとんど一致した、優れたCMOS型多結晶シリコン薄膜トランジスタを実現することが可能となった。

#### 【0009】

【発明の効果】アクティブマトリクス基板に本発明を用いるとOFF電流が小さいので高コントラストなアクティブマトリクス基板が実現できる。また、CMOS構造である為シフトレジスタ回路と光電変換素子を同一基板に作り込んだイメージセンサーにも応用することができ、前記イメージセンサーの高速読み取りや大型化、あるいはカラー化などに対して大きな効果が期待できる。OFF電流も低下するので、低消費電力化にも役立つ。またトランジスタ特性の立ち上がりが急しゅんになるので、素子の駆動電圧の低減もできるので素子の信頼性向

【図1】



上にもつながる。

【0010】このように、アクティブマトリクス基板あるいはイメージセンサーなどのデバイス的高速動作、低消費電力、低駆動電圧化、及び高信頼化などの要求項目に対し、本発明の効果は非常に大きい。

#### 【図面の簡単な説明】

【図1】(a)から(f)は、本発明におけるCMOS型多結晶シリコン薄膜トランジスタの工程図であり、実施例1である。

【図2】(a)から(f)は、同じく本発明の実施例2を示す工程図である。

【図3】(a)、(b)は、CMOS型多結晶シリコン薄膜トランジスタに対する本発明の効果を示すトランジスタ特性図である。

#### 【符号の説明】

1-4と2-5；選択チャネルドーピングのためのレジストマスク

1-5と2-6；ボロンビーム

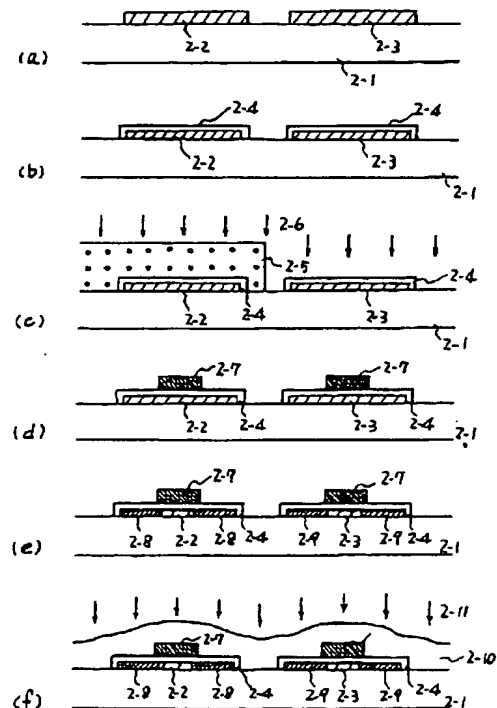
1-13と2-11；水素ラジカル

3-1；従来例によるNチャネルのトランジスタカーブ

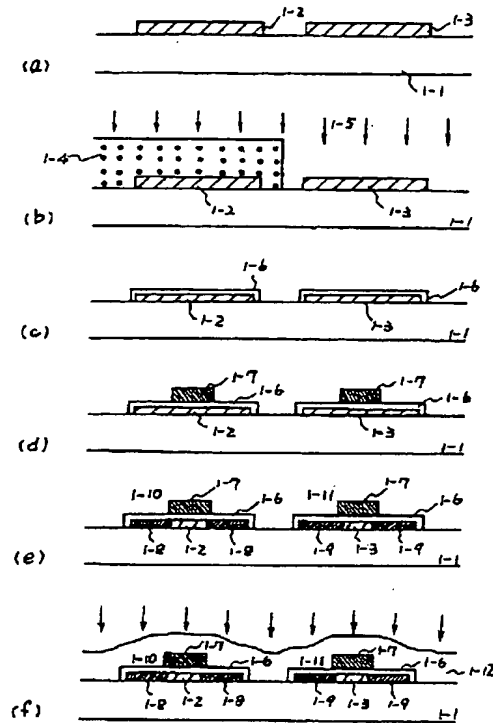
3-2；本発明によるNチャネルのトランジスタカーブ

3-3；本発明によるPチャネルのトランジスタカーブ

【図2】



【図 3】



## 【手続補正書】

【提出日】平成10年5月25日

## 【手続補正1】

【補正対象書類名】明細書

【補正対象項目名】特許請求の範囲

【補正方法】変更

【補正内容】

【特許請求の範囲】

【請求項1】 P型多結晶シリコン薄膜トランジスタとN型多結晶シリコン薄膜トランジスタとを有する薄膜トランジスタの製造方法において、

基板上に前記P型多結晶シリコン薄膜トランジスタの第1多結晶シリコン薄膜と前記N型多結晶シリコン薄膜トランジスタの第2多結晶シリコン薄膜を形成する工程と、

前記第1多結晶シリコン薄膜のチャネルとなる領域及び前記第2多結晶シリコン薄膜のチャネルとなる領域のうち、前記第2多結晶シリコン薄膜のチャネルとなる領域のみにP型不純物を低濃度にドーピングする工程と、

前記第1及び第2多結晶シリコン薄膜上に絶縁膜を介してゲート電極を形成する工程と、

前記第1多結晶シリコン薄膜に選択的にP型不純物を高濃度にドーピングし、前記第2多結晶シリコン薄膜に選

択的にN型不純物を高濃度にドーピングして、前記P型及びN型多結晶シリコン薄膜トランジスタのソース及びドレインを形成する工程と、  
前記ソース及びドレインを形成後に、水素プラズマ処理、水素イオン打ち込み処理または水素化のためのプラズマ窒化膜形成処理を施す工程とを有することを特徴とする薄膜トランジスタの製造方法。

【手続補正2】

【補正対象書類名】明細書

【補正対象項目名】0005

【補正方法】変更

【補正内容】

【0005】

【課題を解決するための手段】本発明は、P型多結晶シリコン薄膜トランジスタとN型多結晶シリコン薄膜トランジスタとを有する薄膜トランジスタの製造方法において、基板上に前記P型多結晶シリコン薄膜トランジスタの第1多結晶シリコン薄膜と前記N型多結晶シリコン薄膜トランジスタの第2多結晶シリコン薄膜を形成する工程と、前記第1多結晶シリコン薄膜のチャネルとなる領域及び前記第2多結晶シリコン薄膜のチャネルとなる領域のうち、前記第2多結晶シリコン薄膜のチャネルとな

る領域のみに P 型不純物を低濃度にドーピングする工程と、前記第 1 及び第 2 多結晶シリコン薄膜上に絶縁膜を介してゲート電極を形成する工程と、前記第 1 多結晶シリコン薄膜に選択的に P 型不純物を高濃度にドーピングし、前記第 2 多結晶シリコン薄膜に選択的に N 型不純物を高濃度にドーピングして、前記 P 型及び N 型多結晶シリコン薄膜トランジスタのソース及びドレインを形成する工程と、前記ソース及びドレインを形成後に、水素プラズマ処理、水素イオン打ち込み処理または水素化のためのプラズマ窒化膜形成処理を施す工程とを有することを特徴とする。

【手続補正 3】

【補正対象書類名】明細書

【補正対象項目名】0008

【補正方法】変更

【補正内容】

【0008】以上述べたように本発明によれば、従来の水素プラズマ処理で生じた、N チャネル多結晶シリコン薄膜トランジスタがデプレッション方向へ 1 V から 2 V 程度シフトするという異常シフトの問題を、N チャネル多結晶シリコン薄膜トランジスタのみのチャネル部にボロンを低濃度 ( $1.0^{12} \text{ cm}^{-2}$  から  $1.0^{13} \text{ cm}^{-2}$  程度) に選択チャネルドーピングしたので、エンハンスメント方向へ制御して解決することができる。従って、水素プラズマ処理あるいは水素イオン打ち込み処理あるいはプラズマ窒化膜形成による多結晶シリコンの欠陥の低減という長所を最大限に利用することが可能となった。つまり、サブスレッシユールド領域の立ち上がりが急しゅんとなり、 $V_{th}$  の絶対値が低減され、しかも N チャネル、P チャネル共にその  $V_{th}$  の絶対値の大きさが一致するという優れた特性を有する。CMOS 型多結晶シリコン薄膜トランジスタの実現が可能となる。図 3 に CMOS 型多結晶シリコン薄膜トランジスタに対する本発明の効果を示す。図 3 (a) に N チャネル多結晶シリコン薄膜トランジスタに対する本発明の効果を示す。同図は発明者が実験して得たデータである。横軸はゲートとソース間電圧  $V_{GS}$  であり、縦軸はドレイン電  $I_{DS}$  の対数である。測定はドレインとソース間の電圧  $V_{DS}$  を 5 V 一定に行なった。同図において破線 3-1 の曲線が従来方法による結果であり、実線 3-2 の曲線が、ボロンを選択チャネルドーピングされた薄膜トランジスタのトランジス

タ特性である。図 3 (b) には同様に P チャネル多結晶シリコン薄膜トランジスタのトランジスタ特性を示す。 $V_{DS}$  は -5 V である。P チャネル多結晶シリコン薄膜トランジスタは、チャネルドーピングはされていないので、 $V_{th}$  のシフト量は、問題とならない。これらの結果からわかるように、従来方法では、水素プラズマ処理あるいは水素イオン打ち込み処理あるいはプラズマ窒化膜形成など（以下まとめて水素処理と呼ぶ）による N チャネルのデプレッション方向への異常シフトを全面にボロンをチャネルドーピングという方向で行なっていたので、前記水素処理による異常シフトの小さい P チャネル多結晶シリコン薄膜トランジスタはエンハンスメント方向へ異常シフトしてしまった。本発明では N チャネル多結晶シリコン薄膜トランジスタのみにボロンを選択チャネルドーピングするので、N チャネルのみ  $V_{th}$  がエンハンスメント方向に制御されることとなり、前記水素処理後には両チャネルの  $V_{th}$  の絶対値のほとんど一致した、優れた CMOS 型多結晶シリコン薄膜トランジスタを実現することが可能となった。

【手続補正 4】

【補正対象書類名】明細書

【補正対象項目名】0009

【補正方法】変更

【補正内容】

【0009】

【発明の効果】上記本発明の構成によれば、以下の如き顕著な効果を奏することができる。

(a) 立ち上がりが急峻で  $V_{th}$  が小さくて OFF リーク電流が小さく、さらに、P 型及び N 型の薄膜トランジスタのしきい値の絶対値がほぼ一致した優れた相補型の多結晶シリコン薄膜トランジスタを実現することが可能である。

【手続補正 5】

【補正対象書類名】明細書

【補正対象項目名】0010

【補正方法】変更

【補正内容】

【0010】(b) また、多結晶シリコン薄膜中に元から存在する欠陥と、チャネルドーピングにより生成された欠陥とを水素処理により低減させることができる。

フロントページの続き